

E4

COMPUTER
ENGINEERING

WHEN PERFORMANCE MATTERS

RISC-V: la piattaforma emergente, aperta e a basso impatto energetico

Daniele Gregori Ph.D., E4 Chief Scientific Officer

Linux Day, Palermo, Italia 26 Ottobre 2024

E4 Experience with RISC-V in HPC

INDEX:

- E4 Company profile
- RISC-V: una (non tanto) breve introduzione
- Monte Cimone: Il primo cluster HPC basato su RISC-V
- Alcuni progetti di ricerca in corso:
 - FUTURE
 - RISC-V4ASTRO
- Disseminazione su RISC-V

E4

COMPUTER
ENGINEERING

E4 Company Profile

WHO WE ARE

E4 Computer Engineering is an **Italian** Company, designs and manufactures highly technological solutions for HPC Clusters, Cloud, Data Analytics, Artificial Intelligence and Hyper-Converged infrastructure for the Academic and Industrial markets. We have been collaborating for years with the main research centers at national and international level (Cineca, CERN, ECMWF, LEONARDO) and we are involved in national and European projects in the HPC and AI fields (EuroHPC JU EPI, EUPEX, Horizon Europe)

VISION

We explore future scenarios to find solutions for highly performing computational needs in application areas that are unimaginable today.

MISSION

We anticipate the ever-accelerating disruptive transformation of our era, providing mature solutions in sophisticated technological contexts with a dizzyingly innovative approach

APPROACH

Each E4 solution is **UNIQUE**, like each of our customers; **TESTED** in every single component; **VALIDATED** to verify the actual performance of each system and **SERVED** by technicians who provide assistance in the most extensive and complex Italian and European computing infrastructures.



2002 - 2022



Strategic Members
<https://riscv.org/>

ACTUALLY... YOU ALREADY KNOW US



Award of excellence in industrial collaboration for the **ATLAS** and **CMS** experiments at the Large Hadron Collider at **CERN** within the project of the discovery of the Higgs boson

INFN & CERN AWARD (2012-2014)

E4 TECH FACTORY



- Integration Facility where our technicians build servers or storage systems
- Burn In Room to improve E4 systems reliability with at least 72 hours of test that involves all components
- R&D Lab, with 6 standard racks with heterogeneous systems, 100kW, remote access available on demand to perform benchmarking, co-design, prototyping



Istituto Italiano di Tecnologia (IIT) Genova, 2020 Expansion 2022~2023



- GPU Cluster and File systems in 16 Racks with LCP liquid cooling
- Special design with energy and temperature management tools
- Tailor-made Infrastructure integrated with home-designed Software from Uni. Bologna

WHEN PERFORMANCE MATTERS

RISC-V:

A (not so) brief introduction

E4COMPUTER
ENGINEERING

Cos'è RISC-V?

“Il **RISC-V** è uno standard aperto del insieme di istruzioni (ISA) basato sul principio Reduced Instruction Set Computer (RISC). A differenza di molti altri ISA, il RISC-V è pubblicato sotto licenza open source, pertanto non richiede l'acquisto di una licenza per essere utilizzato. RISC-V è completamente free e non prevede alcun pagamento di royalties” fonte Wikipedia

Oggi l'ISA di base ha raggiunto un buon livello di stabilità e si sta espandendo rapidamente su diversi mercati grazie alle estensioni sviluppate rapidamente all'interno della comunità.

La gestione e il coordinamento di questo sviluppo è demandato a RISC-V International



THE ECONOMIC TIMES | Markets

English Edition | Today's ePaper

My Watchlist Sign In

Avail 15 Days Free Trial

Home ETPrime Markets Market Data News Industry Rise Politics Wealth MF Tech Careers Opinion NRI Panache Luxury Videos

Stocks Options IPOs/FPOs Expert Views Investment Ideas Commodities Forex Live Stream! AIF PMS Cryptocurrency More

Business News Markets Stocks News Arm Holdings to cancel Qualcomm chip design license, source says; shares fall 3%

IndiGo Q2 Results Revenue of Rs 16,970 cr beats Street estimates of Rs 16,782 cr

Arm Holdings to cancel Qualcomm chip design license, source says; shares fall 3%

Reuters • Last Updated: Oct 23, 2024, 10:29:00 PM IST

FINANCIAL TIMES

US COMPANIES TECH MARKETS CLIMATE OPINION LEX WORK & CAREERS LIFE & ARTS HTSI

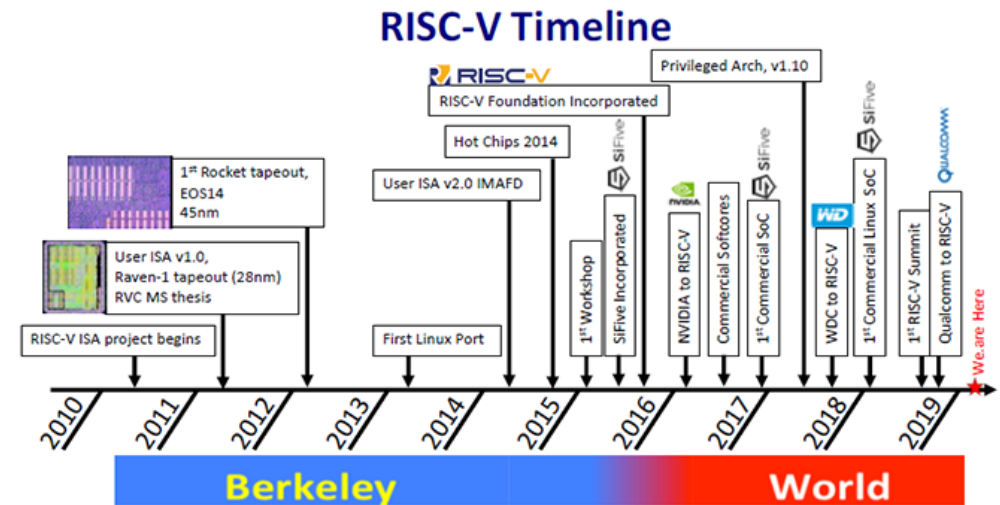
Qualcomm Inc + Add to myFT

Arm cancels Qualcomm's chip design licence amid legal dispute

SoftBank-backed company is battling the US semiconductor maker over royalty payments

Breve Storia di RISC-V

- Il primo Progetto RISC è stato sviluppato nel 1980 a Berkeley sotto la direzione del prof. David Patterson.
-
- Lo sviluppo dell'architettura RISC-V risale al lavoro del Prof. Krste Asanović e degli studenti Yunsup Lee e Andrew Waterman nel 2010 presso il laboratorio di calcolo parallelo di Berkeley.
-
- Nel 2011 l'ISA ha raggiunto la versione 1.0, celebrando il primo chip tapeout a 45 nm.
-
- Nel 2013 è stato completato il supporto per Linux
-
- Nel 2015 è nata la fondazione RISC-V per mantenere e supervisionare la proprietà intellettuale creata dal progetto.
-
- Nel marzo 2020 la fondazione è stata rinominata "RISC-V International" come società senza scopo di lucro. I membri partecipano allo sviluppo delle specifiche e delle estensioni ISA, sviluppando anche software e



E4

COMPUTER
ENGINEERING

RISC-V: USA



Berkeley
UNIVERSITY OF CALIFORNIA



THE UNIVERSITY
OF ARIZONA

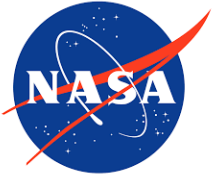


Oregon State
University



Georgia
Tech.

Principali università
coinvolte nello sviluppo
di RISC-V



Progetti Nazionali



NVIDIA



siFive

Principali aziende
coinvolte nello sviluppo
e adozione di RISC-V



MICROCHIP



VENTANA
MICRO



tenstorrent

RISC-V: Europa



EuroHPC
Joint Undertaking



Agenzie e governi coinvolti nello sviluppo di RISC-V



OpenCUBE



RISC-V4-ASTRO

Progetti e Iniziative



Principali aziende coinvolte nello sviluppo e adozione di RISC-V



RISC-V: CINA



中国科学院软件研究所
Institute of Software Chinese Academy of Sciences



北京开源芯片研究院
BEIJING INSTITUTE OF OPEN SOURCE CHIP

Principali università coinvolte nello sviluppo di RISC-V



XIANGSHAN

为双关卡脖子领域培养人才，输送到企业和
学习资源全公开，免费学习；在校生免费流



让你拥有一生中自己设计的第一颗CPU芯片



Progetti Nazionali

成为资本 CHENGWEI
CAPITAL

算能 SOPHGO

PerfXLab

Principali aziende coinvolte nello sviluppo e adozione di RISC-V

E4

COMPUTER
ENGINEERING

RISC-V: BRASILE



Principali università coinvolte nello sviluppo di RISC-V

MINISTRY OF
SCIENCE, TECHNOLOGY
AND INNOVATION



Enti governativi coinvolti



Principali aziende coinvolte nello sviluppo e adozione di RISC-V

RISC-V è al centro dello sviluppo strategico-tecnologico del Brasile che **mira ad avere la sovranità tecnologica sui CHIP**. Il Chip Act Brasiliano ha allocato **oltre 60B\$** per la progettazione di acceleratori basati su RISC-V ed entrare nella produzione dei chip in silicio.

Numerose università brasiliane hanno integrato curricula di studi su RISV-V.

RISC-V Benefici: Flessibilità, Scalabilità

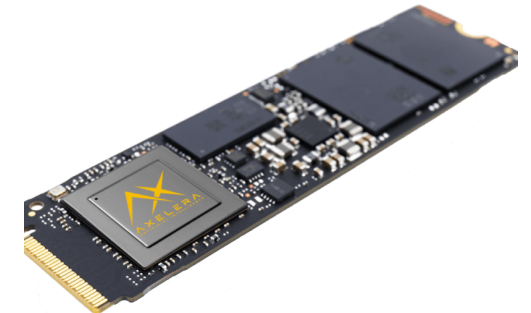
- La modularità dell'ISA consente una grande adattabilità a più target. Combinando i set base e opzionali è possibile progettare sistemi di elaborazione con larghezze di bit che vanno da 32, 64 a 128 bit.
-
- Nuove istruzioni specifiche per il target possono essere aggiunte alla specifica senza modificare il set di istruzioni di base sottostante. Questo disaccoppiamento promuove un ulteriore sviluppo senza compromettere la stabilità e la compatibilità dell'ISA.
-
- Scegliendo solo la funzionalità necessaria, l'ISA può essere adattato efficacemente a piccole MCU e grandi processori di livello server



Co-design SW e HW
può permettere
riduzione dei consumi

RISC-V Nel Mercato: L'adozione Tecnologica

- Dall'introduzione della fondazione RISC-V, i membri hanno creato progetti RISC-V per più target.
-
- Sophon, Allwinner, Andes, SiFive e StarFive sono stati, tra gli altri, i primi membri a lanciare progetti CPU per uso generico da includere in SoC destinati al mercato consumer e server.
-
- I laboratori Expressif, GigaDevice, Syntacore e Buffalo offrono progetti MCU commerciali.
-
- Ventana, Tenstorrent, Axelera.ai, Esperanto.ai e RIVOS hanno sviluppato acceleratori commerciali di elaborazione dati e AI.
-
- Seagate, Western Digital, Nvidia e Google offrono IP specifici per applicazioni, che vanno dalla sicurezza a controller di storage, presenti in prodotti commerciali.
-
- Da sforzi accademici sono nati molteplici progetti aperti sia per GPCPU che per MCU.



RISC-V Le Sfide

- RISC-V affronta molte delle sfide di altri popolari RISC ISA, come ARM.
-
- ARM mostra un monopolio completo del mercato degli smartphone e dei dispositivi indossabili. Ad oggi, i core RISC-V iniziano ad avere un buon impiego per applicazioni embedded (Automotive, Controllori di CPU e GPU,...).
-
- Mentre ARM ha recentemente fatto passi da gigante nel mercato dei PC, la stragrande maggioranza dei personal computer è basata su x86 ISA. Nonostante goda di un supporto Linux di prima classe, RISC-V deve ancora ricevere il porting ufficiale per Windows. Come con ARM, la sostanziale libreria software x86 legacy è disponibile solo tramite emulazione, con risultati contrastanti in termini di compatibilità e prestazioni.
-
- Nel mercato server, l'adozione di CISC è ancora prevalente, sebbene il passaggio generale verso l'uso di acceleratori per specifici domini riduca l'importanza di una potente CPU per uso generale, aprendo la strada a offerte RISC altamente efficienti.
-
- Attualmente RISC-V è entrato nel mercato embedded per casi d'uso reali, la vera sfida è renderlo appetibile nel settore HPC che è notoriamente energivoro! Lato CPU e acceleratori.

SISTEMI HPC: LEONARDO

- **4th Top500**
- **HPL 240 PF + 9 PF (currently 170PF)**
- **TCO Investment: 240M€**
(120M€ Capex + 120M€ Opex)
- **5000 nodes** based on **BullSequana XH2000** platform technology
(3500 GPU + 1500 CPU)
- Computing racks: **95% Direct Liquid Cooled**
- Data storage: **>100PB** (NVMe+HDD)
- **Warm water:** Inlet temperature of 37 degrees
- NVIDIA Mellanox **HDR 200** interconnect
 - Dragonfly+ topology



Engagement and Collaboration with EVIDEN, with 2 E4 full-time staff on-site daily



Engagement and Collaboration with
EVIDEN, with 5 E4 full-time staff on-site
daily

ECMWF
Bologna Technopole, 2021 – ongoing



Monte Cimone:

The first HPC cluster
based on RISC-V

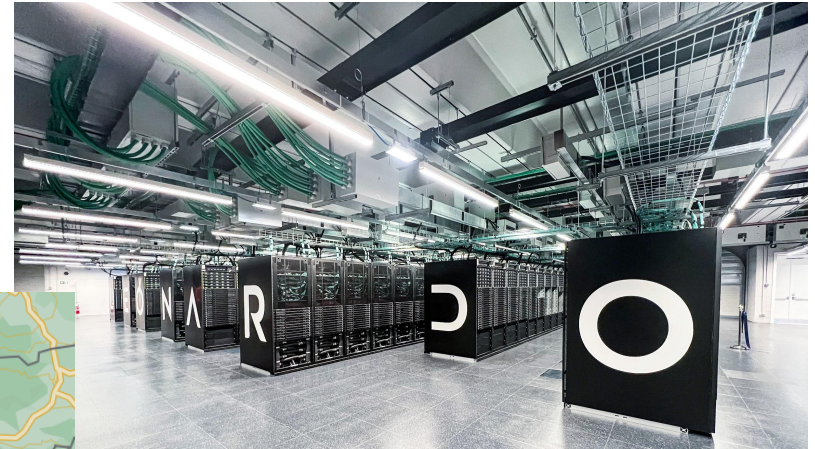
E4

COMPUTER
ENGINEERING

E4 - UNIBO - CINECA and the Data Valley:

A strong cooperation

- Bologna New Technopole - 60MWatt datacentre
- CINECA Leonardo - The Italian Pre-exascale
 - 240 Pflops, 150PBytes, 4th Top500@Jun. 2023
- ECMWF HPCE - The new ECMWF supercomputer
 - 40+ Pflops



CERN Tier1 LHC
~100PBytes storage

University of Bologna
Monte Cimone
1st RISC-V Cluster



Monte Cimone Project

Il primo prototipo fisico e test-bed di un sistema di calcolo basato su architettura RISC-V (RV64) che va a comporre un cluster, interconnesso, con il «Full stack software» HPC e un sistema di monitoraggio completo.

1. Si è portato e validate la maturità dello stack software HP, compost da:
 - SLURM job scheduler, NAS filesystem, Spack package manager
 - compilers toolchains, scientific and communication libraries,
 - a set of HPC benchmarks and applications,
 - ExaMon datacenter automation and monitoring framework.
- 2.
3. Eseguiti test di performance HPL e STREAM benchmarks con la toolchain e le librerie installate automaticamente con SPACK.
- 4.
5. Esteso il framework di monitoring ExaMon per controllare il cluster Monte Cimone. Grazie a questo si è fatta una caratterizzazione energetica del cluster.
- 6.
7. «In Production» da maggio 2021.
 1. Accesso ad utenti esterni (>40 users).
 2. Usato all'università per corsi di Master e in due PhD summer school. (> 100 students/year).



A. Bartolini *et al.*, "Monte Cimone: Paving the Road for the First Generation of RISC-V High-Performance Computers," *IEEE SOCC'22*,

F. Ficarelli *et al.* «Meet Monte Cimone: exploring RISC-V high performance compute clusters,» *ACM CF'22*

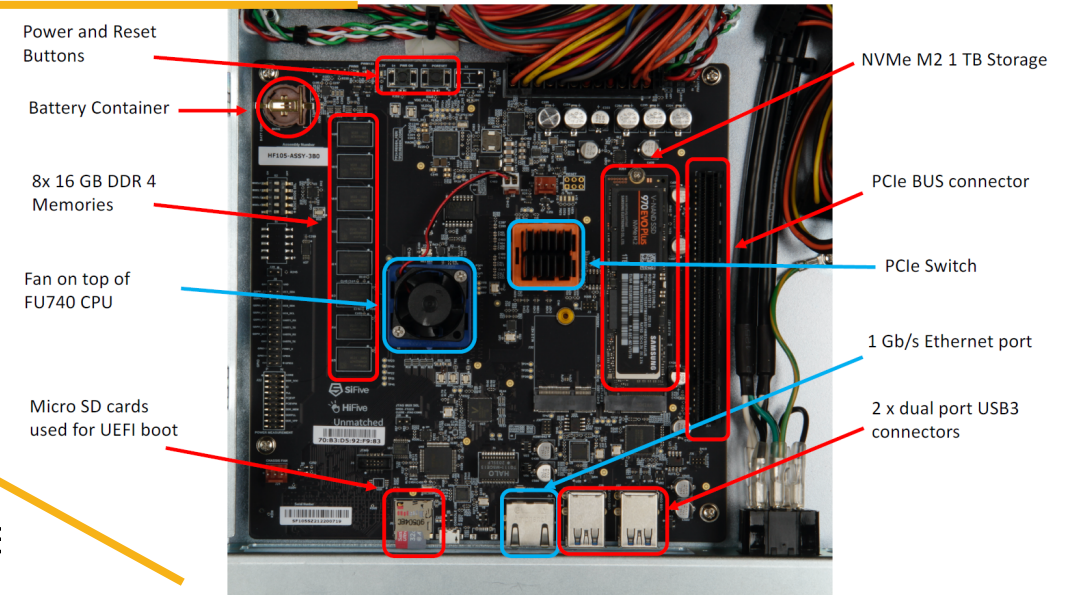
G. Mittone *et al.* «Experimenting with Emerging RISC-V Systems for Decentralised Machine Learning» *CF'23*

Monte Cimone v1 Hardware



E4 RV007 blade prototype

SiFive HiFive Unmatched board

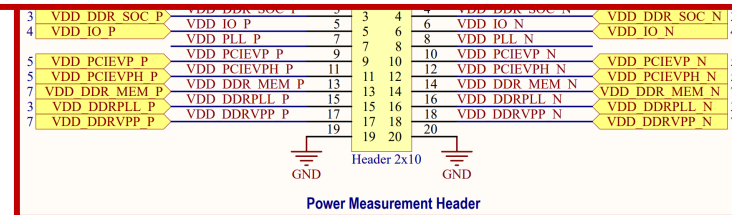


4x E4 RV007 1U Custom Server Blades:

- 2x SiFive U740 SoC with 4x U74 RV64GCB cores
- 16GB of **DDR4**
- 1TB node-local **NVME storage**
- **PCIe expansion card w/InfiniBand HCAs**
- **Ethernet + IB parallel networks**

SiFive U740 SoC w. 7 separated power rails:

- Core complex, IOs, PLLs, DDR subsystem and PCIe one.
- Board implements distinct shunt resistors



Monte Cimone Software Stack:

Production-level HPC software stack

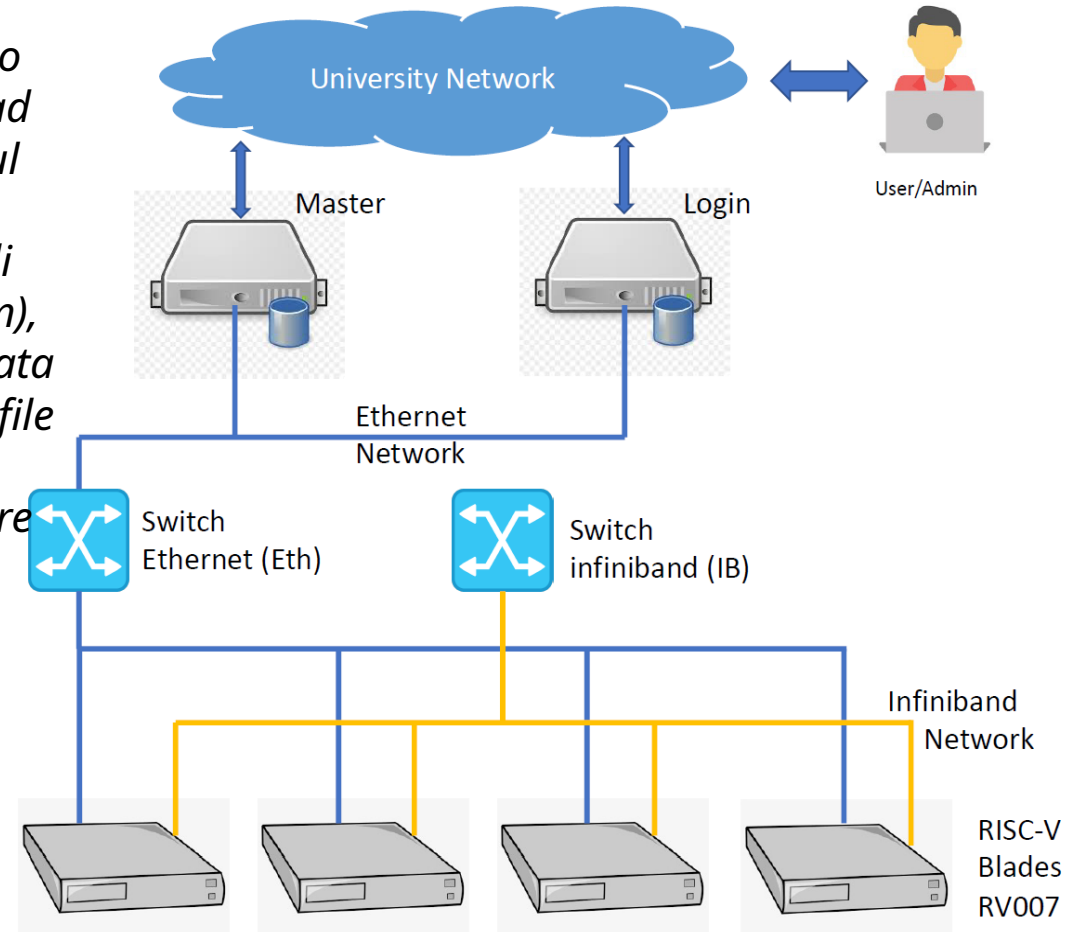
- SLURM job scheduler, NFS filesystem, Nagios
- User-space deployed via **Spack** package manager
- Upstream and custom **toolchains**
- **Scientific libraries**
- Industry-standard **HPC benchmarks and applications** (e.g.: quantumESPRESSO suite)

The ExaMon datacenter automation and monitoring framework Monte Cimone: User-facing software stack

Package	Version
gcc	10.3.0
openmpi	4.1.1
openblas	0.3.18
fftw	3.3.10
netlib-lapack	3.9.1
netlib-scalapack	2.1.0
hpl	2.3
stream	5.10
quantumESPRESSO	6.8

- All software stack installed w. SPACK with the already present linux-sifive-u74mc
- Ubuntu 20.04 Linux O.S. installed with riscv64 image

Il cluster è connesso a un login node e ad un master node. Sul master node abbiamo I servizi di job scheduler(slurm), gestione centralizzata degli utenti (ldap), file system distribuito (NFS) e altri software di gestione e monitoraggio.



Monte Cimone Software Stack:

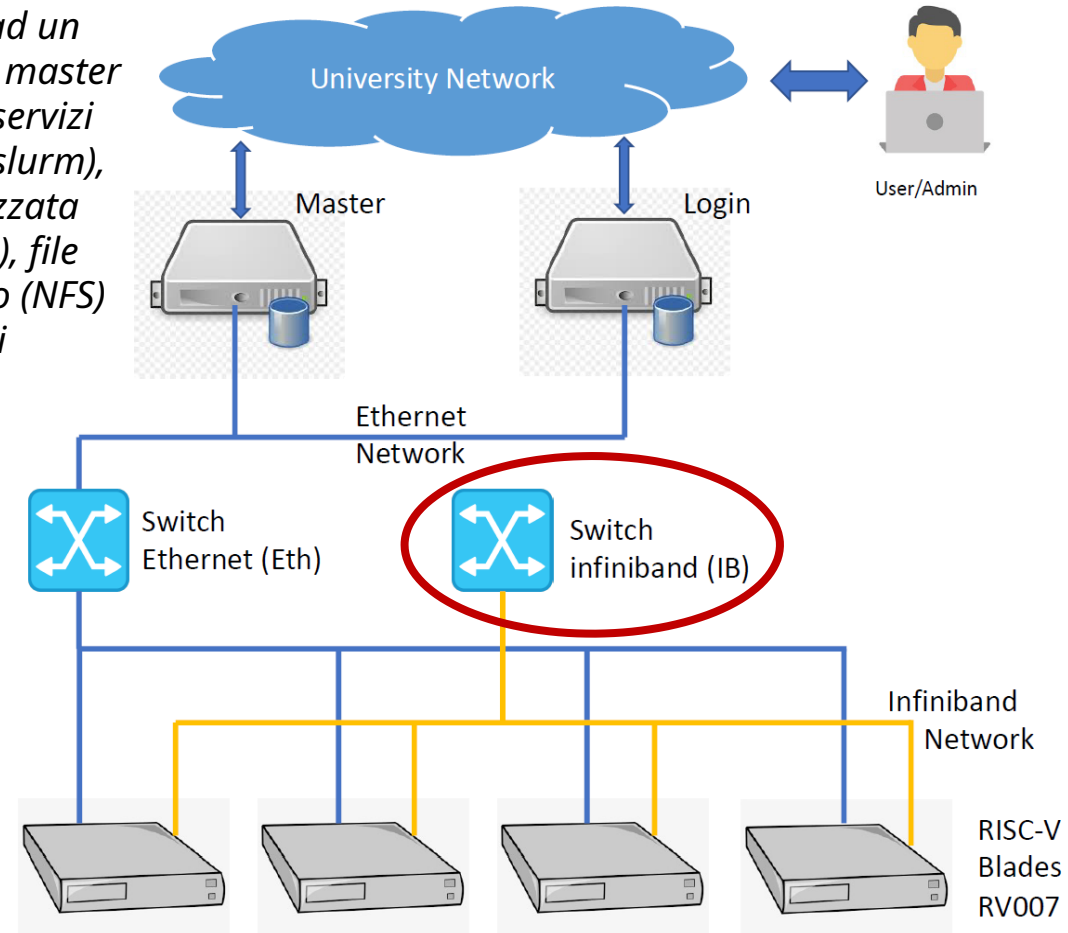
Infiniband Host Channel Adapter (HCA):

- Infiniband FDR HCA (56Gbit/s) w. RDMA
- 2x Mellanox ConnectX-4 FDR HCA
 - PCIe Gen 3 x8 lanes

Experimental results:

- Kernel recognizes the device driver
- Device Driver recognizes Mellanox OFED stack
- IB ping test → successful → Infiniband feasible
 - Between two boards
 - Between board and an HPC server.
- RDMA fails due to incompatibilities of the software stack and the kernel driver.
- This is currently a feature under development

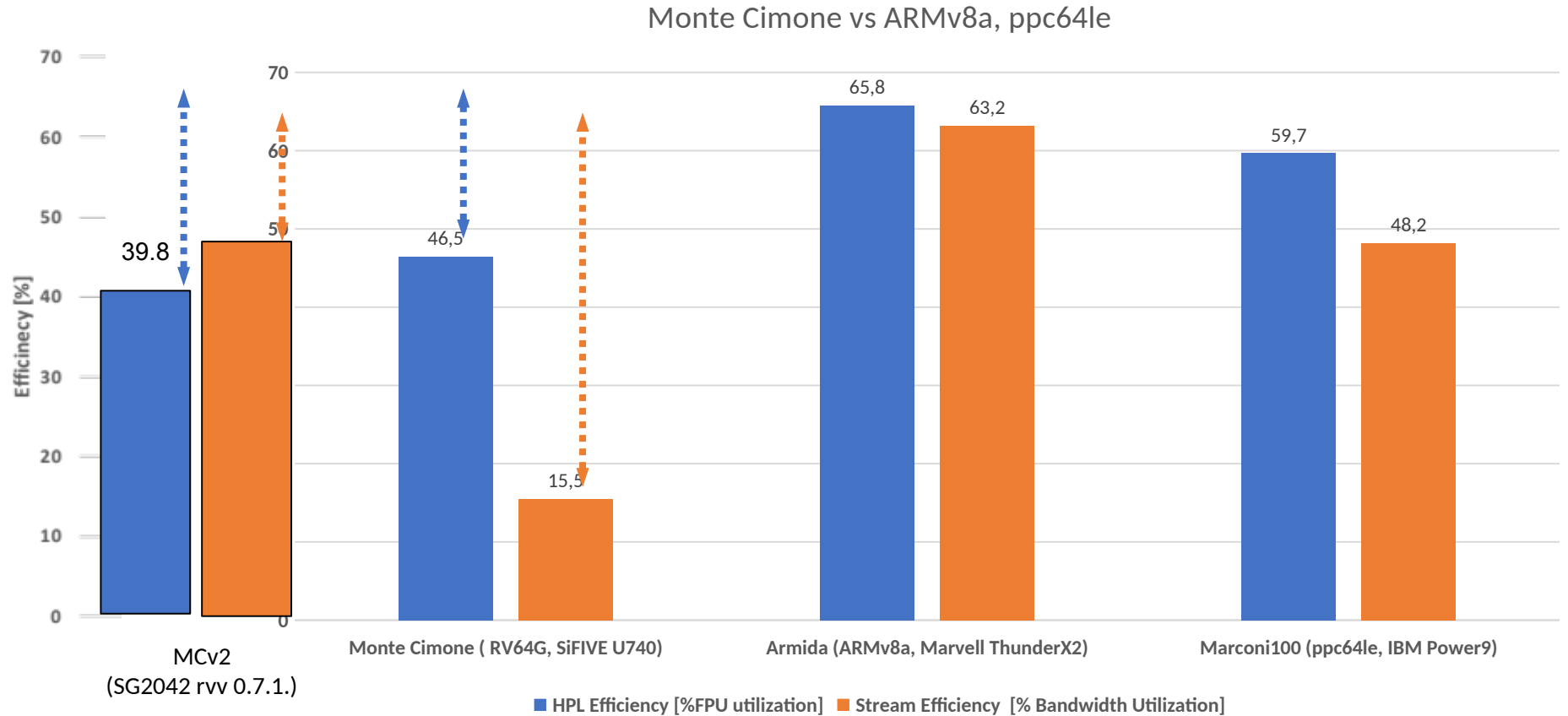
Il cluster è connesso a un login node e ad un master node. Sul master node abbiamo i servizi di job scheduler (slurm), gestione centralizzata degli utenti (ldap), file system distribuito (NFS) e altri software di gestione e monitoraggio.



Monte Cimone vs ARMv8a, ppc64le:

HPL and Stream benchmarks on two SoA computing nodes:

- *Marconi100 (ppc64le, IBM Power9)*
- *Armida (ARMv8a, Marvell ThunderX2)*
- *Same benchmarking boundary conditions*
 - *Vanilla unoptimized libraries*
 - *software stack deployed via SPACK package*



Curiosity - Why «Monte Cimone»?



E' la più alta montagna del nord dell'Appennino, w. 2.165 m

Nei giorni di cielo terso la cima è visibile dalla maggior parte dei centri delle città italiane:
Bologna, Mantova, Modena, Reggio Emilia, Firenze, Lucca



Considerando la risoluzione spaziale dell'occhio umano, dalla cima del monte Cimone è possibile vedere la maggior superficie del suolo Italiano.

Il campione del mondo di sci Italiano Alberto Tomba iniziò la sua carriera proprio nella scuola sci del Monte Cimone.

Now testing MILK-V Sophgo

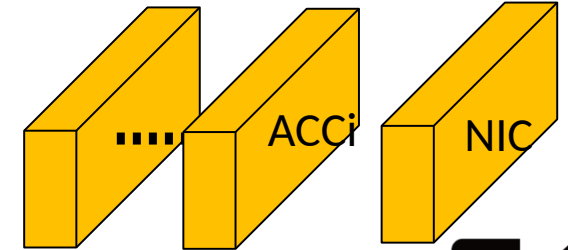


Milk-V development server
(www.miklv.io)



MILK-V Pioneer :

- Board based on Sophgo SG2042
- 64-cores x T-head C920 RISC-V CPU
- 2GHz main frequency
- 64MB cache
- PCIe Gen4x16
- RV vector extension 0.71
- 128GB DRAM



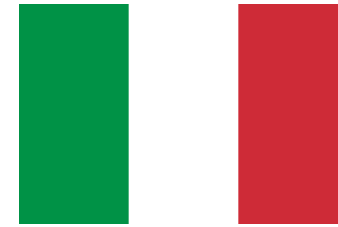
FUTURE

Forward-Looking Technologies for the
Evolution of Monte Cimone

“Monte Cimone” è stato completato come Progetto precedente, lo scopo di FUTURE è di partire dalla precedente esperienza per esplorare l’uso degli acceleratori in un nuovo cluster.

Need: installare diversi tipi off-the-shelf accelerators per valutarne le funzionalità, le performance e il supporto del software.

Goal: Verificare le funzionalità di singola e doppia precision di un cluster RISC-V aumentata con l’uso di un array di acceleratori.



THE PROJECT IN A NUTSHELL



Challenges:

- Fornire driver funzionanti per schede Infiniband su sistemi RISC-V .
- Esplorare lo stato dei chip commerciali RISC-V "server grade".
- Monitorare continuamente il mercato degli acceleratori.



Goal:

- Valutare le funzionalità e le performance di acceleratori commerciali su sistemi RISC-V.
- Dimostrare la maturità dell'ecosistema RISC-V nell'installazione di cluster con connessioni di rete a bassa latenza.
- Raggiungere un TRL (technology readiness level) pari a 9.

WORK PACKAGE: CPU selection, procurement and co-integration of compute nodes with accelerators and high-speed interfaces.

 Ongoing: Identified SKUs, order submitted, waiting for delivery

 **OUTPUT: working prototype cluster with 4 nodes (3 compute, 1 management)**



WORK PACKAGE: algorithm research/adaptation, driver development for infiniband interfaces on RISC-V systems, verification and performance testing.



Ongoing: research on existing drivers for IB on Linux



OUTPUT: POC driver with node to node connectivity.

WORK PACKAGE: experimental setup and cluster validation

Testing using HPC-class benchmarks like:

- High Performance Linpack (HPL)
- Quantum Espresso
- Stream
- Sparse Matrix
- Power Consumption

RISC-V4-ASTRO

E4
COMPUTER
ENGINEERING

SCENARIO



ICSC

Centro Nazionale di Ricerca in HPC,
Big Data and Quantum Computing

Il 14 settembre 2015, alle 10:45 ora italiana vengono rivelate per la prima volta le onde gravitazionali. L'osservazione è stata fatta in coincidenza negli osservatori LIGO (USA) e VIRGO (ITALIA). Da questo momento si apre una nuova finestra osservativa sull'universo chiamata Fisica Multi Messaggero.

E4

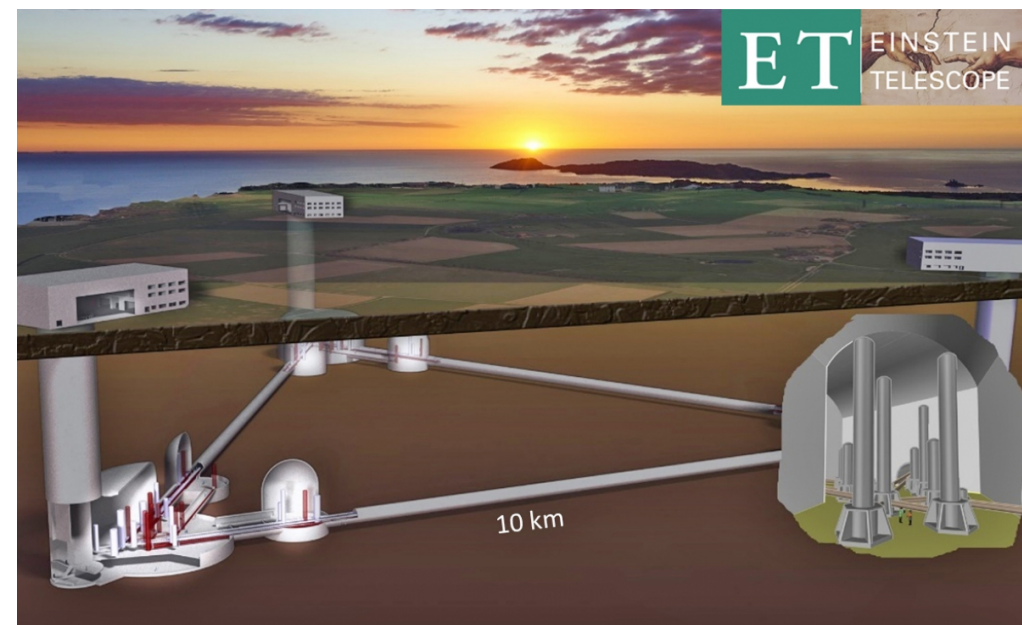
COMPUTER
ENGINEERING



SISSA

La prossima generazione di strumenti per rivelare le onde gravitazionali vede l'Italia in prima linea come sito candidato a installare l'interferometro Einstein Telescope. La mole di dati prodotta necessiterà di sistemi HPC particolarmente performanti e a basso impatto energetico.

Per questo i codici di ricostruzione, simulazione e analisi devono essere sviluppati tenendo conto dell'hardware su cui dovranno essere eseguiti in un processo chiamato Co-



Gravitational wave

Le **onde gravitazionali** sono increspature nello spazio-tempo causate da oggetti massicci sottoposti a violenta accelerazione, in particolare quando sono estremamente densi e si muovono ad alta velocità, distorcendo lo spaziotempo stesso.

Queste onde viaggiano verso l'esterno dalla loro sorgente alla velocità della luce in modo ondulatorio.

Gravitational waves emitted by two neutron stars as they orbit each other and then coalesce

Gravitational wave sources

Sistemi "binari compatti":

- Stella di neutroni binarie (BNS): due stelle di neutroni che orbitano l'una attorno all'altra
- Buco nero binario (BBH): due buchi neri che orbitano l'uno attorno all'altro
- Stella di neutroni-buco nero binario (NSBH): una stella di neutroni e un buco nero che orbitano l'uno

A computer simulation of the collision of two black holes

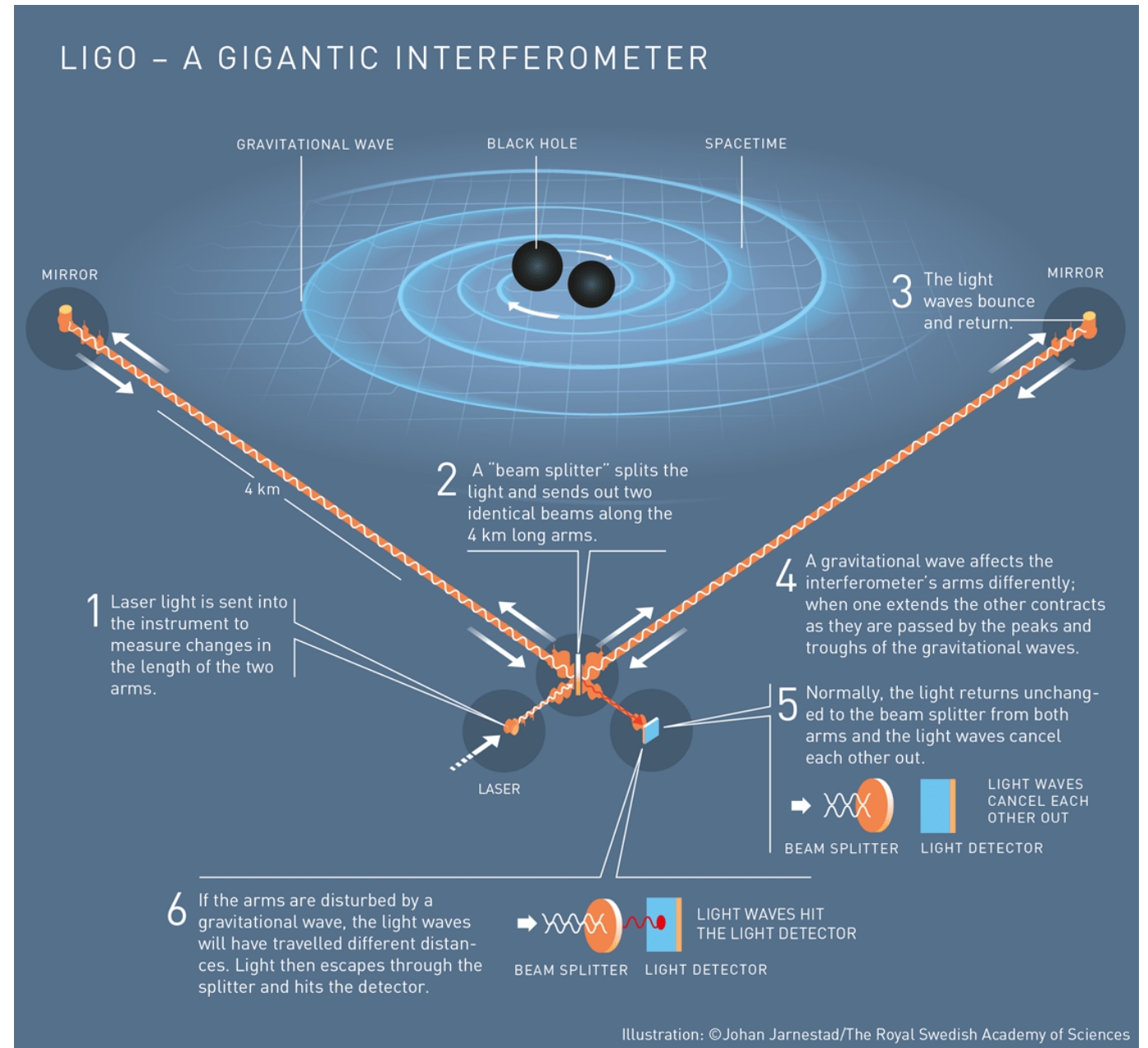
Si prevede che onde gravitazionali continue siano prodotte da un singolo oggetto rotante massiccio come una stella di neutroni.

I modelli dell'Universo propongono un'epoca inflazionistica precoce di rapida espansione asimmetrica, che potenzialmente genera onde gravitazionali rilevabili.

Rivelatori di onde gravitazionali

Interferometri a terra:

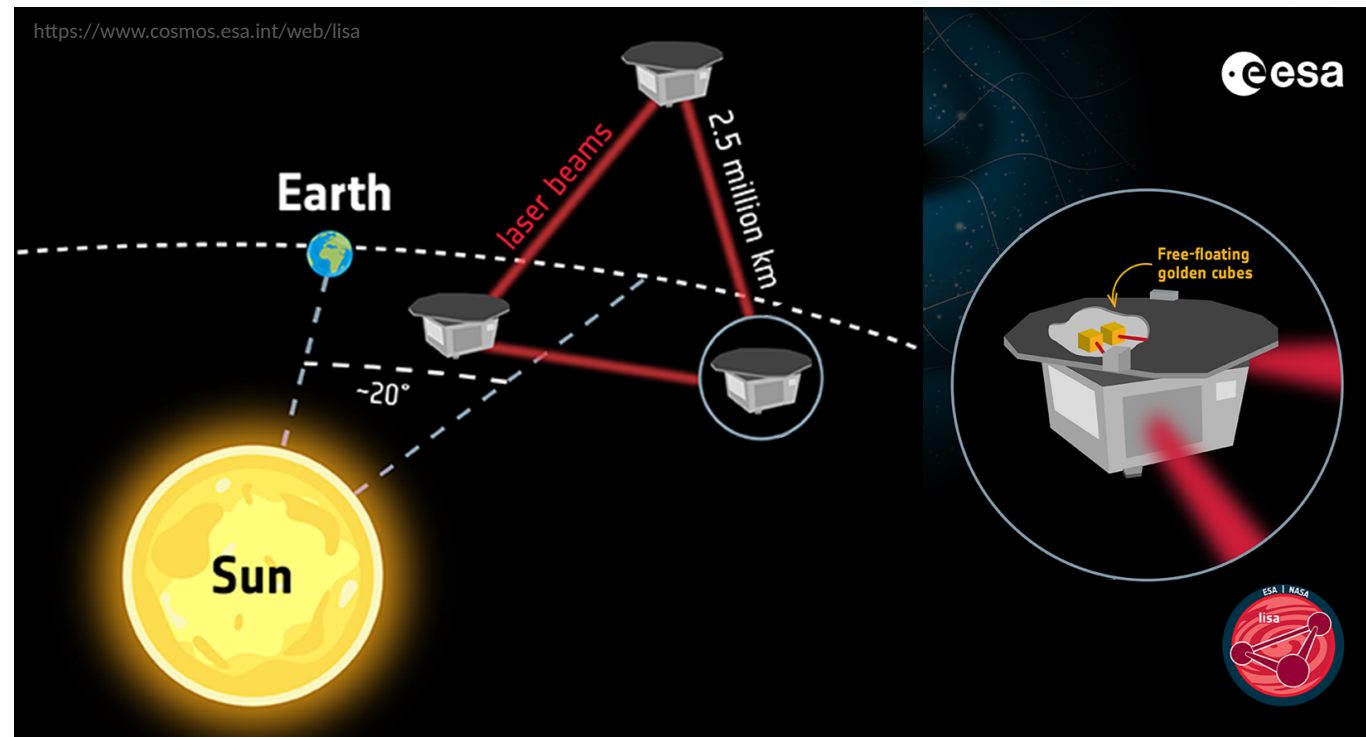
- LIGO (Laser Interferometer Gravitational-wave Observatory), USA
- Virgo Interferometer, Italy
- KAGRA (Kamioka Gravitational wave detector), Japan
- Einstein Telescope
- Cosmic Explorer



Rivelatori di onde gravitazionali

Interferometri Spaziali

- LISA (Laser Interferometer Space Antenna) by the European Space Agency (ESA)

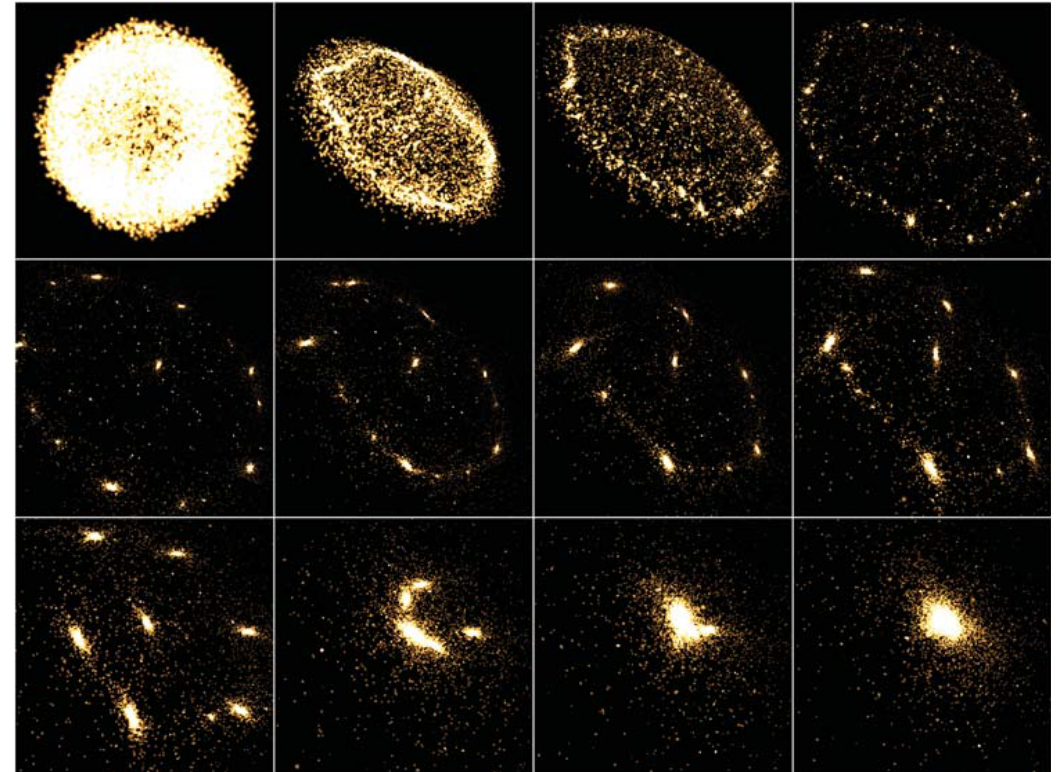


Astronomia delle Onde Gravitazionali

- Le onde gravitazionali ci hanno fornito una visione senza precedenti dei processi dinamici che si verificano in alcuni degli ambienti astrofisici più estremi, come le fusioni di buchi neri e stelle di neutroni.
- Queste fusioni, tuttavia, sono spesso il risultato finale di una lunga storia di complesse interazioni gravitazionali tra più oggetti.
- Sono necessari modelli accurati dell'evoluzione dei sistemi che portano a queste fonti di onde gravitazionali, da qui l'importanza di sviluppare codici N-body efficienti e scalabili.

Challenges of direct N-body simulation

- Le simulazioni N-body dirette e accurate sono computazionalmente complesse con scalabilità di $O(N^2)$.
- Le attuali simulazioni N-body dirette sono limitate a cluster più piccoli ($N < \sim 10^5$), poiché cluster più grandi richiederebbero tempo e potenza eccessivi sui moderni cluster GPU.



Frames from a 16,384-body system simulation. (Nylons, et al. "Fast n-body simulation with cuda." GPU gems 3 (2007): 62-66.)

Challenges of direct N-body simulation

- Le nuove architetture progettate da zero offrono una migliore efficienza energetica (ad esempio, in Joule per operazione) ma sono raramente utilizzate nell'informatica scientifica principalmente per due motivi:
 - I grandi esperimenti scientifici hanno basi di codice estese con una portabilità complessa
 - Le architetture a bassa potenza hanno generalmente una densità di potenza computazionale inferiore per unità rack

- Il progetto RISC-V4ASTRO mira a studiare l'uso di RISC-V per simulazioni dirette N-body per valutare l'applicabilità di queste tecnologie per l'interpretazione astrofisica delle onde gravitazionali e aprire una nuova finestra sull'esplorazione dei sistemi stellari più densi con i coefficienti di prestazioni/Watt più elevati per simulazioni exascale sostenibili.
-
- Il progetto vuole anche dimostrare, con dati affidabili e precisi, l'attuale capacità dei sistemi di calcolo basati su RISC-V di essere energeticamente sostenibili per il calcolo scientifico, mostrando:
 - la validità scientifica dei codici quando eseguiti su macchine RISC-V
 - il vantaggio in termini di riduzione dei tempi (tempo di soluzione) rispetto ad altre architetture e/o acceleratori
 - il vantaggio energetico e TCO dell'utilizzo di tali macchine e acceleratori al posto di architetture più standard

Disseminazione

E4 SUPPORTED STUDENT CLUSTER COMPETITION 2022 WITH MONTE CIMONE



Not only FLOPs
@NotOnlyFLOPs

Competition is ON!!! Team is #ready 🤪. While we are working hard surviving the #ISC22_SCC challenges, you can support us voting Univ. Politècnica de Catalunya here: bit.ly/SCC22-UPC @BSC_CNS @fib_upc @e4company @SiFive @risc_v

3:25 PM · May 30, 2022

<https://www.nextplatform.com/2022/06/09/strong-showing-for-first-experimental-risc-v-supercomputer/>

<https://arxiv.org/abs/2205.03725>

<https://open-src-soc.org/2022-05/media/slides/RISC-V-International-Day-2022-05-05-11h05-Calista-Redmond.pdf>

As an **educational tool**:

2x courses at Università di Bologna:

- Computer Architectures
- Laboratory of Big Data Architectures

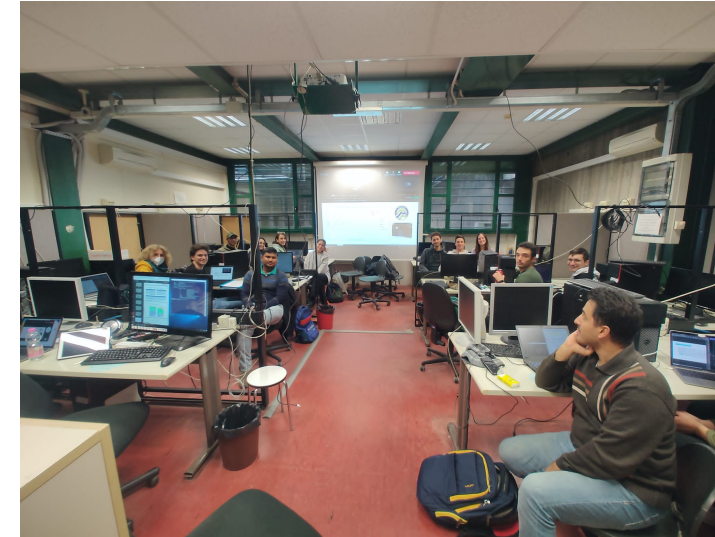
2x PhD schools:

- 2023 ACM Europe Summer School on “HPC Computer Architectures for AI and Dedicated Applications”
- 2023 DEI UNIBO PhD course High-performance Emerging Computing Paradigms
- 2 planned in 2024
-

Introduced **~120 students** to **μarch profiling, HPC programming, distributed systems** right in a **RISC-V environment**.

Ported and ran production of **widespread HPC applications** (e.g.: **quantumESPRESSO, OpenFOAM**).

Several **research activities** currently ongoing on Cimone.



Access open to everyone interested

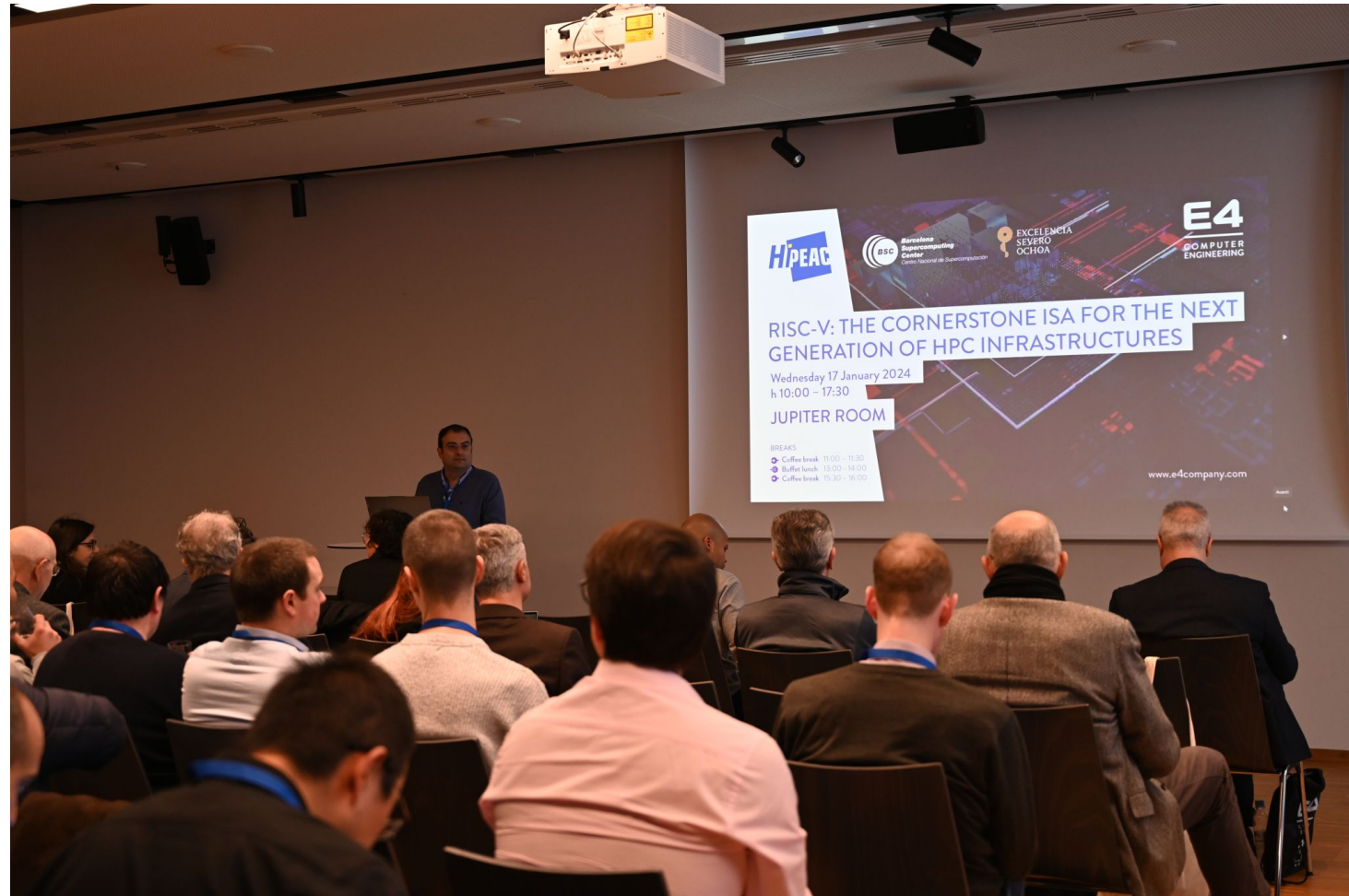
In **2023** E4 organized the first international workshop:

«**RISC-V: the cornerstone ISA for the next generation of HPC infrastructures**»

at HiPEAC Conference in
Toulouse France, 17/01/2023

In **2024** E4 and BSC co-organized the 2nd edition in
Munich, Germany, 01/17/2024

In **2025** E4 and BSC co-organized the 3rd edition in Barcelona 01/21/2025



TENTATIVE: INDUSTRIAL TRACK @ PDP 2025



Emergin Technologies in HPC: from RISC-V to Quantum Computing

E4

COMPUTER
ENGINEERING

Thank you

The magic is real

Telecom & Consumer Devices

IoT

RISC-V will command 28% of the IoT market by 2025

AI / ML

RISC-V-based AI SoCs will grow 73.6% CAGR to 25B units and \$291B in revenue by 2027

Automotive

RISC-V will capture 10% of the Automotive market by 2025

Data Center & Cloud

RISC-V CPU core market will grow 115% CAGR, capturing >14% of all CPU cores by 2025

High Performance Computing

Significant investments in multiple geographies specifying RISC-V

TeraPines

TeraPines ZDC toolchain supports Ardes RISC-V processors across a range of markets, including high performance computing and AI

E4 COMPUTER ENGINEERING

Technical University of Munich TUM

semidynamicS

semidynamicS announces fully customizable, 4-way Armv8-A 633 RISC-V core for big data applications

Technical Computing Labs

HPC-centric software test suite for GCC and LLVM

Barcelona Supercomputing Center

RISC Development & Open-Source Hardware Components Based on RISC-V

cortus

Developing a high performance RISC-V Out-of-Order processor core for the European effector project

RISC-V

Picture from RISC-V Summit 2023 Santa Clara CA

CONTACTS

Email contacts

info@e4company.com

support@e4company.com

sales@e4company.com

E4 Computer Engineering SpA

Via Martiri della Libertà, 66 . 42019 Scandiano (RE) - Italy

Tel. +39 0522 991811

